

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

9601029

Basic Patent (No,Kind,Date): JP 2291138 A2 901130 <No. of Patents: 001>

MANUFACTURE OF TRANSISTOR (English)

Patent Assignee: SONY CORP

Author (Inventor): NISHIHARA TOSHIYUKI

IPC: \*H01L-021/336; H01L-021/28; H01L-029/784

CA Abstract No: 114(22)219549S

Derwent WPI Acc No: C 91-018758

JAPIO Reference No: 150070E000010

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 2291138</b>	A2	901130	JP 89111246	A	890428 (BASIC)

Priority Data (No,Kind,Date):

JP 89111246 A 890428

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03315638      \*\*Image available\*\*

MANUFACTURE OF TRANSISTOR

PUB. NO.:      **02-291138** [JP 2291138 A]

PUBLISHED:      November 30, 1990 (19901130)

INVENTOR(s):      NISHIHARA TOSHIYUKI

APPLICANT(s):      SONY CORP [000218] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      01-111246 [JP 89111246]

FILED:      April 28, 1989 (19890428)

INTL CLASS:      [5] H01L-021/336; H01L-021/28; H01L-029/784

JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:      R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL:      Section: E, Section No. 1035, Vol. 15, No. 70, Pg. 10,  
February 19, 1991 (19910219)

#### ABSTRACT

PURPOSE: To eliminate a need for a heat treatment at a high temperature and to prevent an electric field from being concentrated by a method wherein conductive layers, containing impurities, which are used as a source region and a drain region are formed on an insulating layer so as to be separated, a semiconductor layer is formed so as to cover the conductive layers, the impurities are diffused from the conductive layers, low-concentration impurity regions are formed in the semiconductor layer and a gate electrode is formed, via a gate insulating film, on a semiconductor layer corresponding to a separated part of the conductive layers.

CONSTITUTION: Conductive layers 2a, 2b, containing impurities, which are used as a source region and a drain region are first formed on an insulating layer 1 so as to be separated. Then, a semiconductor layer 3 is formed so as to cover the conductive layers 2a, 2b. Then, the impurities are diffused from the conductive layers 2a, 2b; low-concentration impurity regions 3a, 3b are formed in the semiconductor layer 3. A gate oxide film 4 is formed in the same process. In addition, a gate electrode 5 is formed, via the gate insulating film 4, on the semiconductor layer 3 corresponding to a separated part 20 of the conductive layers 2a, 2b. Thereby, a heat treatment is not required; accordingly, it is possible to reduce an irregularity in a characteristic and a channel length between the source and the drain or to prevent a punchthrough; an LDD structure is formed; a concentration of an electric field is relaxed; a leakage current is reduced.

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-291138

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月30日

H 01 L 21/336  
21/28  
29/784

3 0 1 A 7738-5F

9056-5F H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 トランジスタの製造方法

⑯ 特 願 平1-111246

⑰ 出 願 平1(1989)4月28日

⑱ 発 明 者 西 原 利 幸 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 高 月 亨

明 細 書

1 発明の名称

トランジスタの製造方法

2 特許請求の範囲

1. 絶縁層上にソース、ドレイン領域とゲート電極とを有するトランジスタの製造方法であって、絶縁層上に、ソース、ドレイン領域となる不純物を含む導電層を離間させて形成する工程と、

上記導電層上を覆って半導体層を形成する工程と、

上記導電層から不純物を拡散させて上記半導体層に低濃度不純物領域を形成する工程と、

上記導電層離間部に対応する上記半導体層上にゲート絶縁膜を介してゲート電極を形成する工程とを具備するトランジスタの製造方法。

3 発明の詳細な説明

(産業上の利用分野)

本発明は、トランジスタの製造方法に関する。

本発明のトランジスタは、MOS等のMISトランジスタとして利用することができ、特に、微細化・集積化したMOSLSIとして有効に用いることができる。また、積層トランジスタとして利用することができ、薄膜トランジスタとして具体化することができる。

(発明の概要)

本発明のトランジスタの製造方法は、あらかじめ絶縁層上に、ソース、ドレイン領域となる不純物を含む導電層を離間させて形成して、上記導電層を覆って半導体層を形成し、上記導電層から不純物を拡散させて上記半導体層に低濃度不純物領域を形成し、上記導電層離間部に対応する上記半導体層上にゲート絶縁膜を介してゲート電極を形成することによって、高温での熱処理を不要にし、もって特性のばらつき等高温処理に伴う問題を解消するとともに、電界集中を防止したトランジスタを得られるようにしたものである。

〔従来の技術〕

従来よりトランジスタは各種の分野で大いに利用されており、その技術開発もめざましい。

従来のトランジスタ技術の一つに、薄膜トランジスタ (Thin Film Transistor 以下通称 T F T と略称することもある) 技術があり、これは例えばポリシリコンを用いた T F T として具体化されている。このような T F T は、トランジスタ積層により、L S I の高密度化を図ることができるため、有望な技術である。

従来技術において、T F T は一般に、第 3 図に示すような工程で作成されている。

第 3 図 (a) に示すように、例えば  $SiO_2$  より成る絶縁層 1 上へ、薄膜ポリシリコン等を堆積して、第 1 層半導体層 1 a を形成する。通常、レーザー照射等によるポリシリコンの結晶性改善を行う。

次にゲート酸化して、ポリシリコンである半導体層 1 a 上に  $SiO_2$  から成るゲート酸化膜 1 b を形成する。該ゲート酸化後、更にポリシリコン等により第 2 層半導体層を堆積してゲート電極 5 a を

形成する。これにより第 3 図 (b) の構造とする。

次いで第 3 図 (c) に示すように、該ゲート電極 5 a をマスクに、矢印で略示する如くソース、ドレインのイオン打ち込みを行い、熱処理を行ってイオンを活性化し、図中に n<sup>+</sup> で示す不純物拡散領域を形成して、ソース、ドレイン領域 2 a<sup>+</sup>, 2 b<sup>+</sup> とする。

〔発明が解決しようとする問題点〕

上記従来技術の場合、以下の問題点があった。

第 1 に、第 3 図 (c) に示すソース、ドレイン活性化で十分に拡散抵抗を低下させるには 900℃ 以上の熱処理が必要であり、その際、半導体層 1 a をなすポリシリコンのグレインバウンダリーを通して、不純物がチャンネル領域に高速拡散する。グレインバウンダリーは、ポリシリコン中に不規則に存在するため、その拡散も不均一であり、例えば L S I については特性のばらつきを発生させることがあり、さらにはソース、ドレイン導通 (いわゆるパンチスルー) を発生させることがあ

3

る。

第 2 に、ソース、ドレイン活性化時にゲート電極 5 a にも高温がかかるので、ゲート電極 5 a の材料としてアルミニウム等の低抵抗金属を使用することはできず、よってこの例のようにポリシリコン等の半導体を用いるので、該ポリシリコン自体が有する抵抗である寄生抵抗による速度劣化を引き起こす。

第 3 に、ドレインのジャンクション部に電界集中がおき、局部ブレインダウンによるリーク電流が発生することがある。即ち、第 3 図 (c) の符号 J で示す部分の電界が強く、電荷が固まって、局部的電界集中がおこり、リークが発生し易くなっている。

本発明は、上記従来技術の問題点を解決して、ソース、ドレイン活性化に際しても高濃度の熱処理の必要がなく、従って半導体層の不均一なグレインバウンダリーを通しての不純物拡散による特性のばらつきや、パンチスルー等の発生を防止し、かつゲート電極としてポリシリコン等の半導体材

4

料のみならず低抵抗の金属をも使用可能にして一層の低抵抗化を実現できるようにし、更に、ドレインのジャンクション部の電界集中の発生を防止して、リーク電流の発生等を防止できるトランジスタの製造方法を提供せんとするものである。

〔問題点を解決するための手段〕

上述した問題点を解決するため、本発明のトランジスタ製造方法は、以下のような工程を有する構成とする。

即ち、本発明のトランジスタ製造方法は、絶縁層上にソース、ドレイン領域とゲート電極とを有するトランジスタの製造方法であって、

絶縁層上に、ソース、ドレイン領域となる不純物を含む導電層を離間させて形成する工程と、

上記導電層上を覆って半導体層を形成する工程と、

上記導電層から不純物を拡散させて上記半導体層に低濃度不純物領域を形成する工程と、

上記導電層離間部に対応する上記半導体層上に

5

6

ゲート絶縁膜を介してゲート電極を形成する工程とを具備するものである。

本発明の構成について、後記詳述する本発明の一実施例を示す第1図を参照して説明すると次のとおりである。

本発明においては、初めの工程において、絶縁層1上に、ソース、ドレイン領域となる不純物を含む導電層2a、2bを離間させて形成する。この工程後の状態が第1図(a)に示す構造である。導電層2a、2b間の離間部を符号20で示す。

次の工程において、上記導電層2a、2b上を覆って半導体層3を形成する。この工程後の状態が第1図(b)に示す構造である。

次いで、次工程において、上記導電層2a、2bから不純物を拡散させて上記半導体層3に低濃度不純物領域3a、3b(図中 $n^-$ で示す)を形成する。この工程後の状態が第1図(c)に示す構造である。なお図示例では、同じ工程でゲート酸化膜4が形成されるので、ゲート電極形成の前工程がここで行われている。

7

造以上に電界分散効果をもたら、耐圧に優れる構造となり得るものである。

更に本発明では、ソース、ドレイン領域となる導電層2a、2bである $n^+$ 領域を先に形成しておくので、ゲート電極5を任意の材料で形成できるばかりでなく、任意の位置に形成することも可能となる。

#### 〔実施例〕

次に本発明の実施例について、図面を参照して説明する。但し当然のことではあるが、本発明は下記の実施例にのみ限定されるものではない。

第1図(a)～(d)を参照して、本発明の第1の実施例を説明する。

この実施例は、本発明を、LSIに適したTFTの製造プロセスとして具体化したものである。

本実施例では、二酸化シリコンから成る絶縁層1上に、ソース、ドレイン用に、リンを高濃度ドーパ(ドーパ量 $10^{19} \sim 10^{21} \text{ cm}^{-3}$ 程度)したポリシリコン層を形成し、これをあらかじめRTA

更に次の工程で、上記導電層2a、2bの離間部20(第1図(a)参照)に対応する上記半導体層3上に、ゲート絶縁膜4を介したゲート電極5を形成する。この工程後の状態が第1図(d)の構造である。

#### 〔作用〕

本発明によれば、ソース、ドレイン領域となる部分は、あらかじめ不純物を含む導電層2a、2bとして形成されているので、高熱処理を要さず、従って、特性のばらつきや、ソース、ドレイン間のチャネル長の減少ないしパンチスルーが防止できる。

また、ゲート電極5に、ポリシリコン等の半導体のみならず、低抵抗金属が使用可能になる。

また本発明によれば、ゲート電極5の下の拡散層(ソース、ドレイン領域2a、2b)には、低濃度不純物領域3a、3bが形成され、いわゆるLDD構造となって電界集中が緩和され、リーク電流が低減される。この構造は、通常のLDD構

8

(Rapid Thermal anneal)等で低抵抗化しておく。これにより、ソース、ドレイン領域となる導電層2a、2bを形成して、第1図(a)の構造を得る。導電層2a、2bは、例えば純ポリシリコン層を堆積により形成し、ここにリンをイオン注入し、その後、該ポリシリコンをパターニングする前または後にアニールするという手法をとってもよいし、またはイオン注入後アニールしてからパターニングするという手法を用いるのでもよく、任意である。あるいは本実施例の如きイオン注入を用いるのではなく、ポリシリコンに代えていわゆるDOPOS(ドーパト・ポリシリコン)の如くすでに不純物を含有している半導体材料を堆積して、適宜アニール、パターニングを任意の順で行うのでもよい。

導電層2a、2bは、離間部20を介して離間している。この離間部20の形成手段は、パターニングの任意の手段を用いることができる。また、離間部20は所望に応じ、任意の位置に形成でき、かつこの離間部20に対応する位置にゲート電極5を

9

10

設けるので、ゲート電極は任意位置に形成できる。

次に本実施例においては、ポリシリコンを堆積することによって半導体層 3 を形成する。ここでは、200~800Å 程度の膜厚の薄膜ポリシリコン層として形成した。これにより第 1 図 (b) の構造を得た。またこの構造の時点で、レーザー照射等により、所望の特性を得るよう結晶改善を行った。特に、離間部 20 に対応する図示符号 31 の部分をレーザー照射等の手段によって結晶改善し、ポリシリコンのグレインを大きくし、モビリティを上げるようにした。

次に本実施例では、900℃ 以下の低温で熱処理した。本実施例ではこの熱処理により、ゲート酸化を行ってゲート酸化膜 4 を得るとともに、この際、該熱処理により導電層 2 a, 2 b から半導体層 3 へ不純物が拡散し、低濃度不純物領域 3 a, 3 b である  $n^+$  領域が形成される。これにより、第 1 図 (c) の構造が得られる。

但し、ゲート酸化と上記拡散とを別々にして、ゲート酸化膜 4 の形成と低濃度不純物領域 3 a,

3 b の形成とを別工程で行ってもよく、その場合の両工程の順序もどちらが先でもよい。いずれにしても、低温での処理によって、低濃度拡散領域 3 a, 3 b を得ることができる。

次いで、ゲート電極 5 を形成するが、本実施例ではゲート電極の材料として、金属を用い、特にアルミニウム-シリコン合金 (Si 含有量 1 重量%) を使用した。従来は高温でのアニールを要したので、ゲート電極として金属を用いることは難しかったが、本発明を用いることで、抵抗の極めて小さい材料である金属により、電極を形成することが可能となったのである。

かつ、このゲート電極 5 は、ソース、ドレイン用の導電層 2 a, 2 b 間の離間部 20 に対応する位置に形成するが、該離間部 20 の位置を自由に設定できる結果、ゲート電極 5 の位置も任意にできる。

更に、ゲート電極 5 の直下の部分、特に図に 51 で示す部分は  $n^+$  である低濃度拡散領域 3 a, 3 b になっているので、直下が  $n^+$  である高濃度拡散領域である場合の如き電界集中が発生せず、電

1 1

界が緩和されて、電界集中に伴う各種不都合は防止できる。

また、ゲート電極 5 と低濃度拡散領域 3 a, 3 b とがオーバーラップしているので、容量が小さくなるという利点もある。

次に第 2 図を参照して、本発明の第 2 の実施例を説明する。

この実施例は上述の実施例の変形例であって、第 1 図 (a) の構造とした後に、導電層 2 a, 2 b の側壁に低抵抗ポリシリコンにより低抵抗サイドウォール 2 c, 2 d を形成したものである。この場合に得られるトランジスタの最終構造 (上記実施例の第 1 図 (d) に対応する構造) を、第 2 図に示す。符号は、第 1 図におけると同義のものを付した。

サイドウォール 2 c, 2 d は、ポリシリコン等の材料の堆積、次いで全面エッチングというような手段を適宜用いることにより、形成することができる。

本実施例によれば、バターンニング最小寸法より

1 2

も短いチャンネルが制御よく形成できる。電極も短くて、全体として一層の微細化・高集積化を実現できる。

#### (発明の効果)

上述の如く、本発明のトランジスタの製造方法は、高温の熱処理の必要がないという利点を有し、特性のばらつきや、パンチスルー等の発生を防止でき、かつゲート電極として各種の材料を使用でき一層の低抵抗化を図ることもでき、更に、電界集中を防止して、リーク電流の発生等を防止できるという効果を有する。

#### 4 図面の簡単な説明

第 1 図 (a)~(d) は、本発明の一実施例の工程を断面図にて示したものである。第 2 図は、本発明の別の実施例を、断面図を用いて示したものである。第 3 図 (a)~(c) は、従来例を示す。

1…絶縁層、2 a, 2 b…ソース、ドレイン類

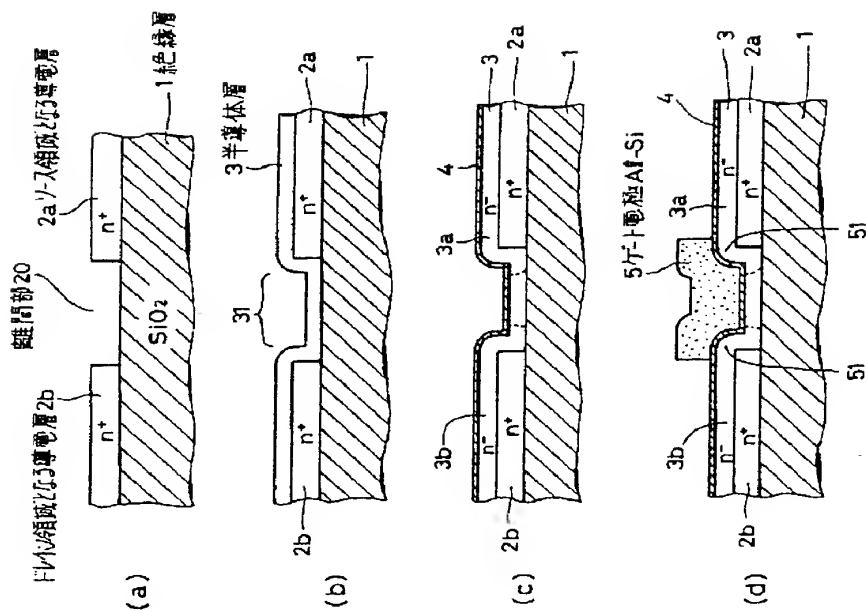
1 3

1 4

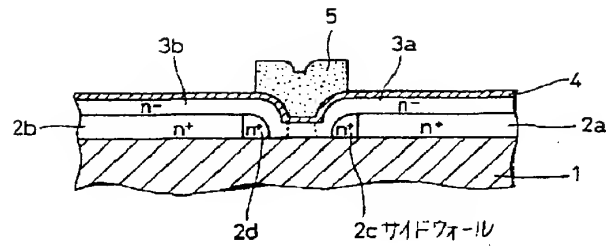
域となる不純物を含む導電層、20…離間部、3…  
半導体層、4…ゲート酸化膜、5…ゲート電極。

特許出願人 ソニー株式会社  
代理人 弁理士 萬 月 亨

15

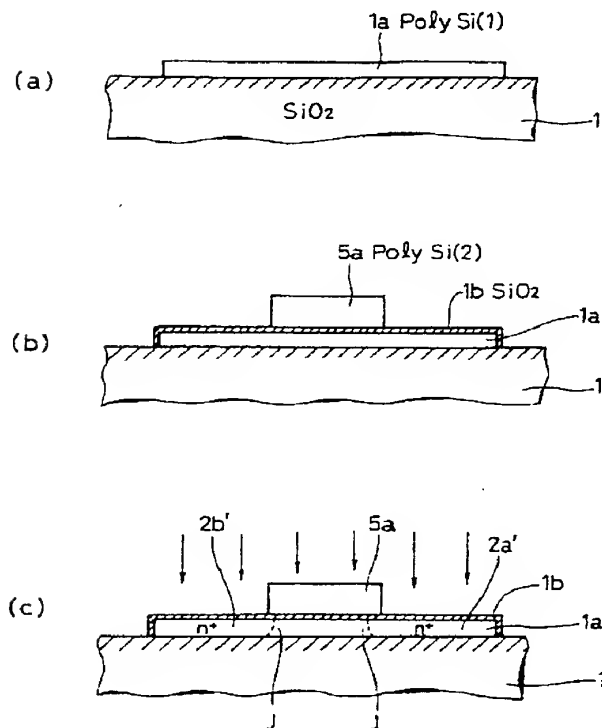


実施例(1)(工程図)  
第1図



実施例(2)

第 2 図



従 来 例  
第 3 図